

Docket No.: 60188-045

PATENT

1040 U.S. PTO
09/811601
03/20/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Tetsuji KISHI, et al. :
Serial No.: : Group Art Unit:
Filed: March 20, 2001 : Examiner:
For: GRAPHIC PROCESSOR AND GRAPHIC PROCESSING SYSTEM

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

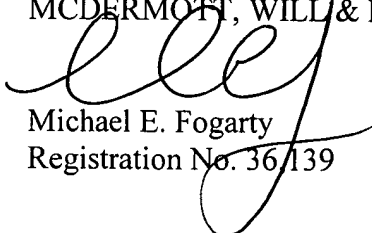
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-077619,
filed March 21, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:klm
Date: March 20, 2001
Facsimile: (202) 756-8087

MARCH 20, 2001

ICISHI et al.

McDermott, Will & Emery

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

11040 U.S. PTO
09/811601
03/20/01

出願年月日
Date of Application:

2000年 3月21日

出願番号
Application Number:

特願2000-077619

出願人
Applicant(s):

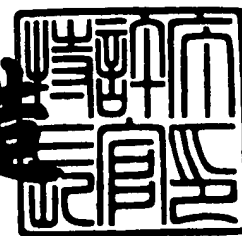
松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3003683

【書類名】 特許願

【整理番号】 5037720027

【提出日】 平成12年 3月21日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/16

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 貴志 哲司

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 小谷 敦

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 長田 淳

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 描画プロセッサ

【特許請求の範囲】

【請求項 1】 ホストとなる CPU とのインターフェース処理を実行する CPU インターフェースと、
描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、
そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、
前記 CPU インターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、
そのデータバスのデータ転送を制御する制御信号と、
描画全体の制御を実行する描画制御手段と、
描画命令を解読する描画命令デコード手段と、
前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、
描画データを表示形式に変換して表示装置に出力する表示手段と、
前記データバスの使用状況を監視するバス監視制御手段と、
描画命令を保持する少なくとも 2 つ以上のデータ保持手段と、
前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、
予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、
前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、
前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段とを具備したことを特徴とした描画プロセッサ

【請求項 2】 請求項 1 に記載の描画プロセッサにおいて、

前記アドレス管理手段が所定のアドレスを入力されると描画優先度判定手段に指示して描画命令の優先度とデータバスを現在使用している装置優先度と比較演

算し、

描画命令の優先度の方が高い場合は、バス監視制御手段に指示して、前記データバスの使用権を得る、前記データバスの使用権を得た時点で描画データ転送手段は、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行することを特徴とした描画プロセッサ

【請求項 3】 請求項 1 に記載の描画プロセッサにおいて、描画優先度判定手段は、データバスを現在使用している次に該データバス使用を要求する装置優先度と描画命令供給優先度とを比較することを特徴とした描画プロセッサ

【請求項 4】 請求項 1 に記載の描画プロセッサにおいて、そのデータ保持手段は第 1 のデータ保持手段と第 2 のデータ保持手段の 2 つのデータ保持手段から構成され、その 2 つのデータ保持手段のどちらかから描画命令を供給することを特徴とする描画プロセッサ

【請求項 5】 ホストとなる CPU とのインターフェース処理を実行する CPU インターフェースと、

描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、

そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、

前記 CPU インターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、

そのデータバスのデータ転送を制御する制御信号と、

描画全体の制御を実行する描画制御手段と、

描画命令を解読する描画命令デコード手段と、

前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、

描画データを表示形式に変換して表示装置に出力する表示手段と、

前記データバスの使用状況を監視するバス監視制御手段と、

描画命令を保持する少なくとも 2 つ以上のデータ保持手段と、

前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを

監視するアドレス管理手段と、
 予め定めた前記データベースを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、
 前記データベースの使用状態を監視して使用権を要求するバス監視制御手段と、
 前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段とを具備し
 描画命令の実行順序を変更するシーケンス変更命令を描画命令デコード手段が受信した場合は、
 描画制御手段に通知し、現在描画命令を受信しているデータ保持手段のデータを廃棄し、
 アドレス管理手段からの通知がない場合でも、描画優先度判定手段およびバス監視制御手段および描画データ転送手段に命じてデータ保持手段の内容を更新することを特徴とする描画プロセッサ

【請求項6】 ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、
 描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、
 そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、
 前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータベースと、
 そのデータベースのデータ転送を制御する制御信号と、
 描画全体の制御を実行する描画制御手段と、
 描画命令を解読する描画命令デコード手段と、
 前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、
 描画データを表示形式に変換して表示装置に出力する表示手段と、
 前記データベースの使用状況を監視するバス監視制御手段と、
 描画命令を保持する少なくとも2つ以上のデータ保持手段と、

前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、

予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、

前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、

前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段と、

前記CPUインターフェースとメモリインターフェース間でデータ転送される描画命令をプリデコードするプリデコード手段と、

そのプリデコード手段から描画命令の統計データを作成保持し、予め定められた一定時間内に処理可能なデータ処理量を超えるかどうかを判定する処理量判定手段と、

前記処理量判定手段の結果に従って前記描画優先度判定手段に対して描画命令の供給優先度をあげることを特徴とする描画プロセッサ

【請求項 7】 ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、

描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、

そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、

前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、

そのデータバスのデータ転送を制御する制御信号と、

描画全体の制御を実行する描画制御手段と、

描画命令を解読する描画命令デコード手段と、

前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、

描画データを表示形式に変換して表示装置に出力する表示手段と、

前記データバスの使用状況を監視するバス監視制御手段と、

描画命令を保持する少なくとも2つ以上のデータ保持手段と、
 前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを
 監視するアドレス管理手段と、
 予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算す
 る描画優先度判定手段と、
 前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、
 前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行す
 る描画データ転送手段とを具備し、
 前記メモリインターフェースが、前記ワークメモリに保持された描画命令の使用
 量をモニターし、この使用量に従って描画優先度判定手段にホストデータ供給の
 優先度をあげることを
 特徴とする描画プロセッサ

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、コンピュータグラフィックスの図形描画を行なう描画プロセッサ
 に関するものである。

【0002】

【従来の技術】

近年、コンピュータグラフィックス技術の進歩には目覚しいものがあり、扱い
 可能なデータ量の増加に伴い、より緻密な描画を要求されることが多くなってき
 た。

コンピュータグラフィックスの代表的な応用には、CAD・CAE・ゲームなど
 がある。さらに最近では、カーナビゲーションなどの地図情報表示にも利用され
 ている。

コンピュータグラフィックスでは、描画を実行するための描画命令および描画図
 形の座標データが必要なる。さらに図形に模様を施すテクスチャマッピング技術
 などでは、物体に貼りつける模様であるテクスチャデータが必要である。さらに
 表示画面のイメージデータを保持するフレームバッファも必要である。

【 0 0 0 3 】

上記のようにコンピュータグラフィックスにおいては、多種多様のデータを大量に必要とする。そのような大量の描画データやさらに表示画面サイズも近年拡大の一途をたどっており、描画プロセッサは大量のワークメモリを必要とする。従来描画データの処理に使用するデータメモリと表示データは別構成となっており、表示データを保持制御するフレームメモリとデータメモリは別構成であった。しかし近年ではこれらを1つのメモリで描画処理を実行するユニファイドメモリ構造を使用したものが登場してき。

このユニファイドメモリ構造は描画プロセッサとメモリの関係が一对に決定されるためシステム構成が簡略化されることによりコストを低減することができる。

【 0 0 0 4 】

図8は従来の描画プロセッサの構造を表したものである。

【 0 0 0 5 】

図8の従来の描画プロセッサにおいて、描画命令およびデータはCPU1000とメモリ1001との間で生成され、CPUインターフェース1002を通じてFIFOメモリ1003に供給される。FIFOメモリ1003に入力された描画命令は、描画命令デコード手段1004に入力され、描画命令デコード手段1004から出力された描画命令に従って描画制御手段1005は描画手段1006を制御して描画処理を実行する。描画済みデータはメモリインターフェース1010を介してワークメモリ1007に表示可能なデータに変換保持される。このデータは、表示手段1008を通じて表示装置1009に表示される。

描画命令はCPU1000からCPUインターフェース1002から第1のデータバス20を通じてFIFOメモリ1003に供給されるが、その他のデータは、第2のデータバス21を通じてCPUインターフェース1002とメモリインターフェース1010間でデータ転送され、ワークメモリ1007に蓄積される。結果、ワークメモリ1007は表示イメージデータと描画に関する各種作業を行なう領域に使用される。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、このような描画命令データ供給手段をもった描画プロセッサでは、データバスが最低でも2本必要になる。近年描画性能の向上のためには動作速度（クロックレートの増加）やデータバスの幅を増加させることで、データの転送レートをあげる方法があるが、動作速度の増加は消費電力増加などの問題を生む。そこでデータバス幅の増加を採用するケースが多いがバスの本数の増加はLSIなどにした場合のコスト増加につながる。

【0007】

また、データバスを共用する方法も考えられるが、本例のようにユニファイドメモリシステム構成では、データバスに複数のデータが流れることになり表示データは1/30秒または1/60秒レートで表示データを更新しなければ表示画像が途切れてしまうという問題が発生してしまう。そのため描画命令データの供給レート

を稼ぐことが難しい、これを防止するためには内部メモリを大きくすることが考えられるが、これもLSIなどにする場合のコスト増加につながる要因である。

【0008】

さらに、描画命令は一般的に固定長ではなく、可変長データである。これは、カーナビゲーションなどの応用に見られるように、地図描画に使用される海岸線や住宅区画などは単純な3角形や4角形で構成できない多数の連続座標からなる図形データが多数存在するためである。例えば、図9に示すように道路などは連続した直線で構成され、図10に示すような描画命令のように連続直線を構成する複数の座標点列で構成される。

さらに図11に示すような複雑な図形、カーナビゲーションなどで使用される住宅区画などのような図形を描画する場合には図12に示すような描画命令のように連続枠線を構成する複数の座標点列で構成される。またこのような複雑な図形を塗りつぶすには、例えば「実践コンピュータグラフィックス」日刊工業pp100-pp102に示されるようなアルゴリズムに描画することができ、このような図形を描画する場合は、枠線データを早急に描かないと内部の塗りつぶしを実行できないため、早急にこの図形の処理を終了させるためには、外枠線の描画を早期に終了させることが不可欠である。外枠線の描画を早急に終わらせるには

描画に必要な座標データの供給を不足なく実行することが必要である。でなければ、1/30秒または1/60秒レベルでのスクロールなどのアニメーション表示を実行させることが困難になるためである。

【0009】

このような可変長座標データを有する描画データを含む描画命令を供給するには、すでに説明した従来例のようにCPUが描画プロセッサの描画命令を保持するFIFOメモリを一定間隔で管理する必要がある、CPUに負担をしいてしまう。特に可変長データのデータ町が長い場合は顕著に表れる。描画プロセッサを制御するCPUはシステムではOSなどの処理を実行するためCPUに処理負担をかけることは、システム全体のパフォーマンスやシステムの応答性能を低下させることになり、一定のパフォーマンスを得るためには前記CPUのパフォーマンスを向上させることも考えられるが、これはシステムのコストを向上させることになってしまう。前記CPUの処理負担を低減するためには、FIFOの量を多くすることも考えられるが、これもコスト増につながってしまう。

【0010】

本発明は、上記のような問題点を解決するためになされたものであり、可変長の描画データを内部バスを増加させることなく、メインのCPUの負担を強いることなく、さらにユニファイドメモリシステムにおいてもメインのバスの空き時間を有効に利用することで描画性能を向上させる描画命令を供給する手段を有する描画プロセッサを提供することを目的とする。

【0011】

【課題を解決するための手段】

この発明に係る描画プロセッサは、ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、そのデータバスのデータ転送を制御する制御信号と、描画全体の制御を実行する描画制御手段と、描画命令を解読する描画命令デコード手段と、前記描画命

令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、描画データを表示形式に変換して表示装置に出力する表示手段と、前記データバスの使用状況を監視するバス監視制御手段と、描画命令を保持する少なくとも2つ以上のデータ保持手段と、前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段とを具備し、可変長の描画命令を自主的にバス制御を実行しつつ取り入れ制御する機構を備えたものである。

【 0 0 1 2 】

また、この発明に係る描画プロセッサは、アドレス管理手段が所定のアドレスを入力されると描画優先度判定手段に指示して描画命令の優先度とデータバスを現在使用している装置優先度と比較演算し、描画命令の優先度の方が高い場合は、バス監視制御手段に指示して、前記データバスの使用権を得る、前記データバスの使用権を得た時点で描画データ転送手段は、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する機構を備えたものである。

【 0 0 1 3 】

また、この発明に係る描画プロセッサは、描画優先度判定手段が、データバスを現在使用している次に該データバス使用を要求する装置優先度と描画命令供給優先度とを比較する機構を備えたものである。

【 0 0 1 4 】

また、この発明に係る描画プロセッサは、データ保持手段が第1のデータ保持手段と第2のデータ保持手段の2つのデータ保持手段から構成され、その2つのデータ保持手段のどちらかから描画命令を供給する機構を備えたものである。

【 0 0 1 5 】

また、この発明に係る描画プロセッサは、描画命令の実行順序を変更するシーケンス変更命令を描画命令デコード手段が受信した場合は、描画制御手段に通知し、現在描画命令を受信しているデータ保持手段のデータを廃棄し、アドレス管

理手段からの通知がない場合でも、描画優先度判定手段およびバス監視制御手段および描画データ転送手段に命じてデータ保持手段の内容を更新する機構を備えたものである。

【 0 0 1 6 】

また、この発明に係る描画プロセッサは、ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、そのデータバスのデータ転送を制御する制御信号と、描画全体の制御を実行する描画制御手段と、描画命令を解釈する描画命令デコード手段と、前記描画命令デコード手段で解釈されたデータを元に描画命令を実行する描画手段と、描画データを表示形式に変換して表示装置に出力する表示手段と、前記データバスの使用状況を監視するバス監視制御手段と、描画命令を保持する少なくとも2つ以上のデータ保持手段と、前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段と、前記CPUインターフェースとメモリインターフェース間でデータ転送される描画命令をプリデコードするプリデコード手段と、そのプリデコード手段から描画命令の統計データを作成保持し、予め定められた一定時間内に処理可能なデータ処理量を超えるかどうかを判定する処理量判定手段を備え、前記処理量判定手段の結果に従って前記描画優先度判定手段に対して描画命令の供給優先度をあげる機構を備えたものである。

【 0 0 1 7 】

また、この発明に係る描画プロセッサは、ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、そのワークメモ

りとのインターフェース処理を実行するメモリインターフェースと、前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、そのデータバスのデータ転送を制御する制御信号と、描画全体の制御を実行する描画制御手段と、描画命令を解読する描画命令デコード手段と、前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、描画データを表示形式に変換して表示装置に出力する表示手段と、前記データバスの使用状況を監視するバス監視制御手段と、描画命令を保持する少なくとも2つ以上のデータ保持手段と、前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段とを具備し、前記メモリインターフェースが、前記ワークメモリに保持された描画命令の使用量をモニターし、この使用量に従って描画優先度判定手段にホストデータ供給の優先度をあげる機構を備えたものである。

【0018】

【発明の実施の形態】

本発明の一実施の形態について、図面を参照しながら説明する。

【0019】

図1は、本発明の一実施の形態に係る描画プロセッサの構造を示すブロック図であり、描画プロセッサ100は、CPU113とのインターフェース制御を実行しCPU113からの描画命令とデータを入力するCPUインターフェース101と、ワークメモリ116とのインターフェース制御を実行するメモリインターフェース102と、CPUインターフェース101とメモリインターフェース102間のデータ転送を行なうデータバス11と、データバス11のデータ転送を制御する制御線12と、データバス11のデータ転送状態を監視するバス監視制御手段103と、データバス11を使用するデータの優先度を監視・管理する描画優先度判定手段104と、図形描画の描画命令を保持する第1のデータ保持

手段105と第2のデータ保持手段106とデータバス11から第1のデータ保持手段105と第2のデータ保持手段106へのデータを転送制御する描画データ転送手段107と、前記第1のデータ保持手段105または第2のデータ保持手段106のアドレスを管理するアドレス管理手段108と、第1のデータ保持手段105かまたは第2のデータ保持手段106かに入力された描画命令をデコードする描画命令デコード手段110と、描画命令デコード手段110の出力に従って描画制御を実行する描画制御手段109と、前記描画制御手段109にしたがって描画命令デコード手段110を経由した描画データを処理する描画手段111と、描画済みデータを画像表示するデータに変換表示制御する表示手段112から構成されている。

【0020】

さらに描画プロセッサ100に加えて描画プロセッサ100に描画命令を供給するCPU113と、前記CPU113の演算・制御手段に使用されるメモリ114と、CPU113とメモリ114が使用するメインバス10と、描画プロセッサ100から出力される画像表示データを表示する表示装置115と描画プロセッサが描画命令および描画作業、さらに表示イメージを保持するワークメモリ116により描画システムが構成されている。

【0021】

以上のように構成された描画システムにおいて、CPU113はメモリ114に転送されたかあるいは格納された描画データからメモリ114上に描画プロセッサ100に使用可能な描画命令を作成する。CPU113は、メモリ114との間の一連の描画命令作成処理を終了すると、データバス11の空き状態に応じてCPUインターフェース101がメモリインターフェース102との間のデータバス11を使用してワークメモリ116に描画命令を転送する。この場合描画命令の転送は、CPU113を直接介さずDMA転送のような形式で実行されてもよい。描画制御手段109は、ワークメモリ116に描画データが保持されたことを認識し、CPU113からの指示に従って一連の描画処理を開始する。描画優先度判定手段104は、制御線12とデータバス11を現在使用している用途の優先度とを監視し、描画命令を受信する優先度が高くなった場合、バス監視

制御手段103にデータバス11の使用権を要求し、制御線12を通じCPUインターフェース101でデータバス11の使用権を決定する。データバス11の使用権を獲得すれば描画データ転送手段107は第1のデータ保持手段105または第2のデータ保持手段106に対してワークメモリ116との間でデータ転送を実行する。描画制御手段109は、前記第1のデータ保持手段105または第2のデータ保持手段106から描画命令を描画命令デコード手段110に入力し描画命令をデコードさせ、描画手段111に指示して描画処理を実行する。描画手段111で描画処理されたデータは、メモリインターフェース102に指示してデータバス11の使用権を要求し、制御線12を通じCPUインターフェース101でデータバス11の使用権を決定する。データバス11の使用権を獲得すればワークメモリ116に表示イメージのデータを作成していく。さらにその表示イメージデータは、1/30秒または1/60秒間隔で表示手段112が、最優先でデータバス11の使用権を獲得して表示装置115に表示データを表示する。以降これらの一連の処理が実行される。

【0022】

図2は、図1の描画優先度判定手段104の詳細を示したものである。

【0023】

描画優先度判定手段104において、優先度設定レジスタ120は、CPUインターフェース101を通じてCPU113から設定可能で、データバス11の使用権を要求している装置・手段の優先度と、描画命令獲得に描画データ転送手段107が要求する優先度が保持されている。

【0024】

さらに優先度比較手段121は、制御線12から得られた現在データバス11を使用しているデータ転送の後でデータ転送を要求している装置の優先度と優先度設定レジスタ120の保持されている優先度とを比較し、描画命令獲得の優先度が高い場合は、バス監視制御手段103にデータ保持手段への描画命令転送用にデータバス11の使用権を要求する。

【0025】

図13は、優先度設定レジスタ120の設定の1例を示したものである。本例

では、優先度の数字が低いものほど優先度が高くなる設定になっている。本例では表示データ供給が一番高くなっている。これは表示データが1/30秒または1/60秒に1回に描画をしなければ画面に正常な描画で出来ず、表示図形に表示ノイズが乗ってしまうためである。本例では、外部からの描画命令供給の優先度が一番低い値になっているが、これは前記したように変更可能である。

【0026】

図3は、図1のアドレス管理手段108と、描画データ転送手段107と、描画制御手段109と、第1のデータ保持手段105または第2のデータ保持手段106の相互関係を詳細に示した図である。図3において図1と同じ番号は同じ構成用件を示したものである。

【0027】

図3において、アドレス管理手段108は、複数のチェックアドレス保持レジスタ130を持ち、本例では、第1のチェックアドレス保持レジスタ131と、第2のチェックアドレス保持レジスタ132の、2つのチェックアドレス保持レジスタから構成されており、CPU113から値を設定できる。さらに前記第1のチェックアドレス保持レジスタ131と、第2のチェックアドレス保持レジスタ132のどちらを使用するかを決定する領域設定レジスタ133を持ち、描画設定手段により値を反転させることで前記領域設定レジスタ133の値に従って、第1のチェックアドレス保持レジスタ131と第2のチェックアドレス保持レジスタ132のどちらかの値を選択して出力するセレクタ134と、セレクタ134から出力されるデータと第1のデータ保持手段105または第2のデータ保持手段106をアクセスする描画制御手段109が出力するアドレス値とを入力し比較して、比較値を出力する比較手段135と、描画データ転送手段107においては、描画命令データのデータ転送制御を実行するデータ転送制御手段136と、そのデータ転送制御手段136のデータ転送制御に必要なパラメタを保持するデータ転送領域設定手段137とから構成される。領域設定レジスタ133の値はCPU113から設定できる。

【0028】

以上のような構成において、描画制御手段109は、第1のデータ保持手段1

05または第2のデータ保持手段106にアクセスアドレスを出力し、第1のデータ保持手段105または第2のデータ保持手段106のどちらか一方から描画命令を入力して描画処理を行なう。描画制御手段109は予め所定のパラメタを第1のチェックアドレス保持レジスタ131と第2のチェックアドレス保持レジスタ132に対して、第1のデータ保持手段105または第2のデータ保持手段106への所定のアクセスアドレスをチェックするためのアドレスパラメタを設定し、領域設定レジスタ133には、第1のデータ保持手段105または第2のデータ保持手段106のどちらの領域をチェックの対象にするか示すパラメタを設定する。描画制御手段は第1のデータ保持手段105または第2のデータ保持手段106に対してアクセスアドレスを出力し、アクセスアドレスに対し描画命令を入力とする。

【0029】

比較手段135はそのアクセスアドレスと、セクタ134の出力値を入力として比較値を出力する。セクタ134の出力値は、前記第1のチェックアドレス保持レジスタ131と第2のチェックアドレス保持レジスタ132のどちらかを領域設定レジスタ133によって選択して出力することで決定される。前記比較手段135がデータ出力されると、その値は、描画制御手段109に入力され、描画データ転送手段107のデータ転送領域設定手段137に対してデータ転送のパラメタを出力する。そのパラメタは、描画命令でコード手段110のデコード出力を元に決定する第1のデータ保持手段105または第2のデータ保持手段106のアクセスアドレスおよびデータの転送量からなる。さらにデータ転送制御手段136は、前記データ転送領域設定手段137に出力されたパラメタに従ってデータバス11と、メモリインターフェース102を介して、ワークメモリ116との間でデータ転送を実行する。

【0030】

図4は描画命令の供給シーケンスを示した図である。

【0031】

図4を用いて、第1のデータ保持手段105と、第2のデータ保持手段106と、第1のチェックアドレス保持レジスタ131と第2のチェックアドレス保持

レジスタ 1 3 2 と、領域設定レジスタ 1 3 3 の動作シーケンスについて説明する。

【 0 0 3 2 】

図 4 において、図 1 と同様の番号は同一の機能を表したものである。4 0 5 は第 1 のデータ保持手段 1 0 5 のアドレスマップであり、第 1 のチェックアドレス 1 4 0 はアドレスマップ 4 0 5 上で第 1 のデータ保持手段 1 0 5 に新たな描画命令を供給させるきっかけを作成するアドレス値であり、図 3 の第 1 のチェックアドレス保持レジスタ 1 3 1 に保持される。4 0 6 は第 2 のデータ保持手段 1 0 6 のアドレスマップであり、第 2 のチェックアドレス 1 4 1 はアドレスマップ 4 0 6 上で第 2 のデータ保持手段 1 0 6 に新たな描画命令を供給させるきっかけを作成するアドレス値であり、図 3 の第 2 のチェックアドレス保持レジスタ 1 3 2 に保持される。

【 0 0 3 3 】

第 1 ステップ 4 0 1 では、第 1 のデータ保持手段 1 0 5 と第 2 のデータ保持手段 1 0 6 に描画命令が満たされていない場合で、第 1 のデータ保持手段 1 0 5 と、第 2 のデータ保持手段 1 0 6 の両方にデータを充填する状況を示している。第 1 のデータ保持手段 1 0 5 には、データ充填シーケンス 1 4 2 に従って例えばアドレスの小さい順に描画命令が充填される。さらに第 2 のデータ保持手段 1 0 6 には、データ充填のシーケンスに従って例えばアドレスの小さい順に描画命令が充填される。

【 0 0 3 4 】

第 2 ステップ 4 0 2 では、図 3 の描画制御手段 1 0 9 は、第 1 のデータ保持手段 1 0 5 に充填された描画命令データをデータ使用シーケンス 1 4 3 に従って例えばアドレスの小さい順に読み出して描画処理を実行する。データ使用シーケンス 1 4 3 において第 1 のチェックアドレス保持レジスタ 1 3 1 に格納された第 1 のチェックアドレス 1 4 0 をアクセスすると、図 3 のアドレス管理手段 1 0 8 の比較手段 1 3 5 が割りこみ信号 1 3 8 を出力する。これは、チェックアドレスが大きい方に設定されているので間もなくデータ保持手段 1 0 5 のデータが全て使用されデータ保持手段 1 0 5 へのデータ転送が可能となることを意味する。

【0035】

第3ステップ403で、その割りこみ信号138を入力された描画制御手段109は、図4のデータ充填シーケンス144のように例えばアドレスの小さい順に第1のデータ保持手段105に新たな描画命令を充填する。このとき描画命令は第2のデータ保持手段106のデータをデータ使用シーケンス145のように例えばアドレスの小さい順に描画命令を実行する。領域設定レジスタ133の値は変更され、第2のチェックアドレス保持レジスタ132に格納されたチェックアドレス145をアクセスすると、アドレス管理手段108の比較手段135が割りこみ信号138を出力する。

【0036】

第4ステップ404では、データ使用シーケンス143のように第1のデータ保持手段105のデータを使用中には、データ充填シーケンス146のように描画制御手段109は第2のデータ保持手段106に対して例えばアドレスの小さい順に新たな描画命令の充填を実行する。このように第1ステップ401から始まり第2ステップ402と続き、第3ステップ403と第4ステップ404を交互に繰り返す一連のシーケンスは、すべての描画命令が終了するか描画終了命令など特定の命令が発行されるまで実行される。

【0037】

図4に示したような一連のシーケンスにおいて、特定のアドレスを描画命令取得の際にアクセスした場合は、図1を用いて説明した場合のように、描画優先度判定手段104に対してアドレス管理手段108が割りこみ信号138を出力する。割りこみ信号138は描画優先度判定手段104に入力され、描画命令供給とそれ以外の供給状況の優先度を比較し次にデータバス11を要求するデータ転送シーケンスの優先度が描画命令供給の優先度より低い場合は描画命令供給シーケンスがデータバス11を優先的に取得するように制御し、さらにバス監視制御手段103はデータバス11を監視し、データバス11の使用権が与えられた時点で描画データ転送手段107に指示して第1のデータ保持手段105または、第2のデータ保持手段106に描画命令データを充填するシーケンスを発動する。このシーケンスに関しては図4を使用してすでに説明した通りである。

【 0 0 3 8 】

図 5 は、本発明の一実施の形態において、描画命令デコード手段 1 1 0 がデコード処理において命令の実行シーケンスを変更するジャンプ命令やサブルーチン命令に相当する描画命令をデコードした際の第 1 のデータ保持手段 1 0 5 と第 2 のデータ保持手段 1 0 6 の動作を中心にその動作原理を示した図である。図 5 においては描画命令 1 5 0 がジャンプ命令やサブルーチン命令に相当する。

【 0 0 3 9 】

描画命令デコード手段 1 1 0 は、描画制御手段 1 0 9 が前記第 1 のデータ保持手段 1 0 5 と第 2 のデータ保持手段 1 0 6 から順序とおりに描画命令を取り込んでデコード処理を実行する。このデコード処理において命令の実行シーケンスを変更するジャンプ命令やサブルーチン命令に相当する描画命令をデコードした際には、この描画命令 1 5 0 を前記描画命令デコード手段 1 1 0 がデコードした場合、描画命令デコード手段 1 1 0 は描画制御手段 1 0 9 に指示して、さらに描画制御手段 1 0 9 は、描画優先度判定手段 1 0 4 と、バス監視制御手段 1 0 3 と、描画データ転送手段 1 0 7 に指示して第 1 のデータ保持手段 1 0 5 と第 2 のデータ保持手段 1 0 6 をアドレス管理手段の割りこみ信号出力の出力の有無に関係なく、描画命令の更新を実行する。描画命令の取り込み更新は、既に説明した方法と同様の手段で実行される。

【 0 0 4 0 】

このような描画命令供給シーケンスにおいて、CPU 1 1 3 や、メモリ 1 1 4 は常に直接関与することなく、描画制御手段が描画命令の消費進行状況に応じて描画命令の供給を自主的に実行する。さらに複数のデータを 1 つのワークメモリ 1 1 6 で扱うユニファイドメモリシステムを使用する場合でも、1 本のデータバスの優先度を制御することでバスの空き状態を監視し、描画手段への描画命令の供給を滞ることなく実行することができる。

【 0 0 4 1 】

以上のように本発明の一実施の形態に係る描画プロセッサによれば、従来 CPU や外部メモリが関与しながら可変長の描画命令を充填する必要があったが、本発明によればこのシーケンスを自主的に管理し、さらに優先度を独自に管理する

ことにより、ユニファイドメモリなどのシステムに接続され、複数のデータを一元的に扱うデータバスの空き状態を無駄にすることなく、有効に使用することで、描画命令の充填を効率的に行なうことができ、したがって描画プロセッサ全体においてはシステム全体の効率を向上させることが可能になる。

【 0 0 4 2 】

なお、本例では、チェックアドレス保持レジスタを2つに限定したが、1つの保持レジスタを更新可能にした構成であってもよい。

【 0 0 4 3 】

なお、本例では、描画優先度判定手段は、各装置手段が一意にデータ転送終了するまでは、次のデータ転送を開始しないことを前提に説明をしているが、データ転送の途中にデータ転送を中断して優先度に従ってデータ転送の順番を途中で変更し優先度の高い装置手段のデータ転送が終了した時点で先に中断したデータ転送を再開するような構成であってもよい。

【 0 0 4 4 】

なお、優先度設定レジスタへの優先度設定は描画制御手段が設定してもよい。

【 0 0 4 5 】

なお、優先度比較手段は、前記優先度設定レジスタの保持されている優先度と現在データバスを使用している装置の優先度を比較し、描画命令獲得優先度の優先度が高い場合は、バス監視制御手段にデータバスの使用权を要求するものであってもよい。

【 0 0 4 6 】

なお、描画優先度判定手段の優先度設定レジスタは描画制御手段が設定するものではなく、外部から予め設定するものであってもよい。

【 0 0 4 7 】

なお、本例では、描画優先度判定手段の優先度設定レジスタに設定される値は一連の描画処理中は一定であるが、動的に変更されるものであってもよい。

【 0 0 4 8 】

なお、本例では、描画プロセッサに描画命令や各種データを印加制御するCPUは外部に用意されるものとしたが、描画プロセッサの内部に内蔵してもよい。

【 0 0 4 9 】

なお、本例ではワークメモリは描画プロセッサの外部に設定したが、描画プロセッサの内部に内蔵してもよい。

【 0 0 5 0 】

なお、第 1 のデータ保持手段と第 2 のデータ保持手段へのデータ転送は描画転送手段を経由してもよいし、データバスから直接データ転送されても良い。

【 0 0 5 1 】

なお、データ充填シーケンスを開始するチェックアドレスは次にデータ充填を開始するデータ保持手段に設定しても良いし、次にデータ使用するデータ保持手段に設定しても良い。次にデータ使用するデータ保持手段に設定する場合、アドレスの小さい方にチェックアドレスを設定することで、次にデータ充填を開始するデータ保持手段に安全にデータ転送出来る。

【 0 0 5 2 】

なお、バス権を決定する手段は、CPU インターフェースとしたが、メモリーインターフェースでも良いし、バス監視制御手段でも良い。

【 0 0 5 3 】

本発明の第 2 の実施形態について、図面を参照しながら説明する。

【 0 0 5 4 】

図 6 は、本発明の第 2 の実施形態の描画プロセッサの構造を示した図である。

【 0 0 5 5 】

図 6 において実施の形態 1 で説明に使用した図 1 と同様の番号は図 1 の構成要件と同じ機能を有するものである。実施の形態 1 と異なる点は、新たにプリデコード手段 1 6 0 と処理量判定手段 1 6 1 とを新たに追加した点である。

【 0 0 5 6 】

そのような本発明の第 2 の実施形態の描画プロセッサでは、CPU インターフェース 1 0 1 とメモリーインターフェース 1 0 2 の間でデータ転送する際にデータバス 1 1 を流れる描画命令をプリデコード手段 1 6 0 がプリデコードし、そのプリデコード手段 1 6 0 が処理量判定手段 1 6 1 に対して描画命令とデータ量を元に描画命令の統計データを作成保持し、予め定められた一定時間内に処理可能な

データ処理量を超えるかどうかを判定する。一定時間内に処理可能なデータ処理量かどうかのパラメタは予め処理量判定手段 1 6 1 に対して外部より設定可能である。

【 0 0 5 7 】

処理量判定手段 1 6 1 の演算結果の結果、一定時間内に処理可能なデータ処理量を超える場合は、描画優先度判定手段 1 0 4 の優先度設定レジスタ 1 2 0 を更新し描画命令の供給に関係する優先度をあげる。以降のデータ転送処理は、実施の形態 1 と同様の動作シーケンスを実行するものである。

【 0 0 5 8 】

このような描画命令供給シーケンスにおいて、CPU 1 1 3 や、メモリ 1 1 4 は常に直接関与することなく、描画制御手段が描画命令の消費進行状況に応じて描画命令の供給を自主的に実行する。さらに複数のデータを 1 つのワークメモリ 1 1 6 で扱うユニファイドメモリシステムを使用する場合でも、さらに描画命令の処理量が所定処理量を超過する場合には、描画命令の優先度をあげることで、1 本のデータバスの優先度を制御することでバスの空き状態を監視し、描画手段への描画命令の供給を滞ることなく実行することができる。

【 0 0 5 9 】

以上のように本発明の第 2 の実施形態に係る描画プロセッサによれば、従来 CPU や外部メモリが関与しながら可変長の描画命令を充填する必要があったが、本発明によればこのシーケンスを自主的に管理し、さらに優先度を独自に管理することにより、ユニファイドメモリなどのシステムに接続され、複数のデータを一元的に扱うデータバスの空き状態を無駄にすることなく、有効に使用することで、描画命令の充填を効率的に行なうことができ、したがって描画プロセッサ全体においてはシステム全体の効率を向上させることが可能になる。

【 0 0 6 0 】

なお、本例では、チェックアドレス保持レジスタを 2 つに限定したが、1 つの保持レジスタを更新可能にした構成であってもよい。

【 0 0 6 1 】

なお、本例では、描画優先度判定手段は、各装置手段が一意にデータ転送終了

するまでは、次のデータ転送を開始しないことを前提に説明をしているが、データ転送の途中にデータ転送を中断して優先度に従ってデータ転送の順番を途中で変更し優先度の高い装置手段のデータ転送が終了した時点で先に中断したデータ転送を再開するような構成であってもよい。

【 0 0 6 2 】

なお、優先度設定レジスタへの優先度設定は描画制御手段が設定してもよい。

【 0 0 6 3 】

なお、優先度比較手段は、前記優先度設定レジスタの保持されている優先度と現在データバスを使用している装置の優先度を比較し、描画命令獲得優先度の優先度が高い場合は、バス監視制御手段にデータバスの使用权を要求するものであってもよい。

【 0 0 6 4 】

なお、描画優先度判定手段の優先度設定レジスタは描画制御手段が設定するものではなく、外部から予め設定するものであってもよい。

【 0 0 6 5 】

なお、本例では、描画優先度判定手段の優先度設定レジスタに設定される値は一連の描画処理中は一定であるが、動的に変更されるものであってもよい。

【 0 0 6 6 】

なお、本例では、描画プロセッサに描画命令や各種データを印加制御するCPUは外部に用意されるものとしたが、描画プロセッサの内部に内蔵してもよい。

【 0 0 6 7 】

なお、本例ではワークメモリは描画プロセッサの外部に設定したが、描画プロセッサの内部に内蔵してもよい。

【 0 0 6 8 】

本発明の第3の実施形態について、図面を参照しながら説明する。

【 0 0 6 9 】

図7は、本発明の第3の実施形態の描画プロセッサの構造を示した図である。

【 0 0 7 0 】

図7において実施の形態1で説明に使用した図1と同様の番号は図1の構成用

件と同じ機能を有するものである。

【 0 0 7 1 】

図 1 と異なる点は、メモリアンターフェース 1 7 0 がワークメモリに保持された描画命令の使用量をモニタリングする機能を有し、さらにメモリアンターフェース 1 7 0 が描画優先度判定手段 1 0 4 の優先度設定レジスタ 1 2 0 を更新する手段を有している点である。

このメモリアンターフェース 1 7 0 は、ワークメモリ 1 1 6 に保持された描画命令の使用量をモニターし、この使用量に従って描画優先度判定手段にホストデータ供給の優先度をあげることを指示する。特にワークメモリ 1 1 6 に保持された描画命令が予め定めた量より少なくなった場合は、ホストデータ供給の優先度をあげることを指示する。

【 0 0 7 2 】

以上のように本発明の第 3 の実施形態に係る描画プロセッサによれば、従来 CPU や外部メモリが関与しながら可変長の描画命令を充填する必要があったが、本発明によればこのシーケンスを自主的に管理し、さらに優先度を独自に管理することにより、ユニファイドメモリなどのシステムに接続され、複数のデータを一元的に扱うデータバスの空き状態を無駄にすることなく、有効に使用することで、描画命令の充填を効率的に行なうことができ、したがって描画プロセッサ全体においてはシステム全体の効率を向上させることが可能になる。

【 0 0 7 3 】

なお、本例では、チェックアドレス保持レジスタを 2 つに限定したが、1 つの保持レジスタを更新可能にした構成であってもよい。

【 0 0 7 4 】

なお、本例では、描画優先度判定手段は、各装置手段が一意にデータ転送終了するまでは、次のデータ転送を開始しないことを前提に説明をしているが、データ転送の途中にデータ転送を中断して優先度に従ってデータ転送の順番を途中で変更し優先度の高い装置手段のデータ転送が終了した時点で先に中断したデータ転送を再開するような構成であってもよい。

【 0 0 7 5 】

なお、優先度設定レジスタへの優先度設定は描画制御手段が設定してもよい。

【 0 0 7 6 】

なお、優先度比較手段は、前記優先度設定レジスタの保持されている優先度と現在データバスを使用している装置の優先度を比較し、描画命令獲得優先度の優先度が高い場合は、バス監視制御手段にデータバスの使用权を要求するものであってもよい。

【 0 0 7 7 】

なお、描画優先度判定手段の優先度設定レジスタは描画制御手段が設定するものではなく、外部から予め設定するものであってもよい。

【 0 0 7 8 】

なお、本例では、描画優先度判定手段の優先度設定レジスタに設定される値は一連の描画処理中は一定であるが、動的に変更されるものであってもよい。

【 0 0 7 9 】

なお、本例では、描画プロセッサに描画命令や各種データを印加制御するCPUは外部に用意されるものとしたが、描画プロセッサの内部に内蔵してもよい。

【 0 0 8 0 】

なお、本例ではワークメモリは描画プロセッサの外部に設定したが、描画プロセッサの内部に内蔵してもよい。

【 0 0 8 1 】

【発明の効果】

以上のようにこの発明によれば、ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、そのデータバスのデータ転送を制御する制御信号と、描画全体の制御を実行する描画制御手段と、描画命令を解読する描画命令デコード手段と、前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、描画データを表示形式に変換して表示装置に出力する表示手段と、前記データバスの使

用状況を監視するバス監視制御手段と、描画命令を保持する少なくとも2つ以上のデータ保持手段と、前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段とを備えるようにしたことで、従来CPUや外部メモリが関与しながら可変長の描画命令を充填する必要があったが、本発明によればこのシーケンスを自主的に管理し、さらに優先度を独自に管理することにより、ユニファイドメモリなどのシステムに接続され、複数のデータを一元的に扱うデータバスの空き状態を無駄にすることなく、有効に使用することで、描画命令の充填を効率的に行なうことができ、したがって描画プロセッサ全体においてはシステム全体の効率を向上させることが可能になるという効果がある。

【 0 0 8 2 】

また、以上のようにこの発明によれば、ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、そのデータバスのデータ転送を制御する制御信号と、描画全体の制御を実行する描画制御手段と、描画命令を解読する描画命令デコード手段と、前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、描画データを表示形式に変換して表示装置に出力する表示手段と、前記データバスの使用状況を監視するバス監視制御手段と、描画命令を保持する少なくとも2つ以上のデータ保持手段と、前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、前記データバスの使用状態を監視して使用権を要求するバス監視制御手段と、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実

行する描画データ転送手段と、前記CPUインターフェースとメモリインターフェース間でデータ転送される描画命令をプリデコードするプリデコード手段と、そのプリデコード手段から描画命令の統計データを作成保持し、予め定められた一定時間内に処理可能なデータ処理量を超えるかどうかを判定する処理量判定手段と、前記処理量判定手段の結果に従って前記描画優先度判定手段に対して描画命令の供給優先度をあげる機能を備えるようにしたことで、描画命令の供給を他のデータに優先して供給する必要がある場合にそのデータを優先して供給させ、その結果従来CPUや外部メモリが関与しながら可変長の描画命令を充填する必要があったが、本発明によればこのシーケンスを自主的に管理し、さらに優先度を独自に管理することにより、ユニファイドメモリなどのシステムに接続され、複数のデータを一元的に扱うデータバスの空き状態を無駄にすることなく、有効に使用することで、描画命令の充填を効率的に行なうことができ、したがって描画プロセッサ全体においてはシステム全体の効率を向上させることが可能になるという効果がある。

【 0 0 8 3 】

また、以上のようにこの発明によれば、ホストとなるCPUとのインターフェース処理を実行するCPUインターフェースと、描画データの保持、画像データの保持、表示イメージデータの保持を行なうワークメモリと、そのワークメモリとのインターフェース処理を実行するメモリインターフェースと、前記CPUインターフェースと前記メモリインターフェース間のデータ転送を実行するデータバスと、そのデータバスのデータ転送を制御する制御信号と、描画全体の制御を実行する描画制御手段と、描画命令を解読する描画命令デコード手段と、前記描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、描画データを表示形式に変換して表示装置に出力する表示手段と、前記データバスの使用状況を監視するバス監視制御手段と、描画命令を保持する少なくとも2つ以上のデータ保持手段と、前記描画制御手段が前記データ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、予め定めた前記データバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、前記データバスの使用状態を監視して使用権を要求するバス監視制御手段

と、前記メモリインターフェースと前記データ保持手段との間のデータ転送を実行する描画データ転送手段とを具備し、前記メモリインターフェースが、前記ワークメモリに保持された描画命令の使用量をモニターし、この使用量に従って描画優先度判定手段にホストデータ供給の優先度をあげる機能を備えるようにしたことで、ワークメモリに蓄積される描画命令が不足した場合には、優先度をあげることで描画命令の充填を実施することができ、さらに、従来CPUや外部メモリが関与しながら可変長の描画命令を充填する必要があったが、本発明によればこのシーケンスを自主的に管理し、さらに優先度を独自に管理することにより、ユニファイドメモリなどのシステムに接続され、複数のデータを一元的に扱うデータバスの空き状態を無駄にすることなく、有効に使用することで、描画命令の充填を効率的に行なうことができ、したがって描画プロセッサ全体においてはシステム全体の効率を向上させることが可能になるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態に係る描画プロセッサの構造を示すブロック図

【図 2】

本発明の一実施の形態に係る描画プロセッサの描画優先度判定手段の詳細構造を示すブロック図

【図 3】

本発明の一実施の形態に係る描画プロセッサの描画データ転送手段と描画制御手段とアドレス管理手段とデータ保持手段との詳細な構造と相互関係を示すブロック図

【図 4】

描画命令の供給シーケンスを示した図

【図 5】

描画命令の供給シーケンスを示した図

【図 6】

本発明の第 2 の実施形態に係る描画プロセッサの構造を示すブロック図

【図 7】

本発明の第 3 の実施形態に係る描画プロセッサの構造を示すブロック図

【図 8】

従来の描画プロセッサを示す図

【図 9】

連続直線の描画例を示す図

【図 1 0】

連続直線の描画の描画命令を示す図

【図 1 1】

任意頂点の多角形描画例を示す図

【図 1 2】

任意頂点の多角形描画の描画命令を示す図

【図 1 3】

本発明の一実施の形態に係る描画プロセッサの描画優先度判定手段の優先度の設定例を示した図

【符号の説明】

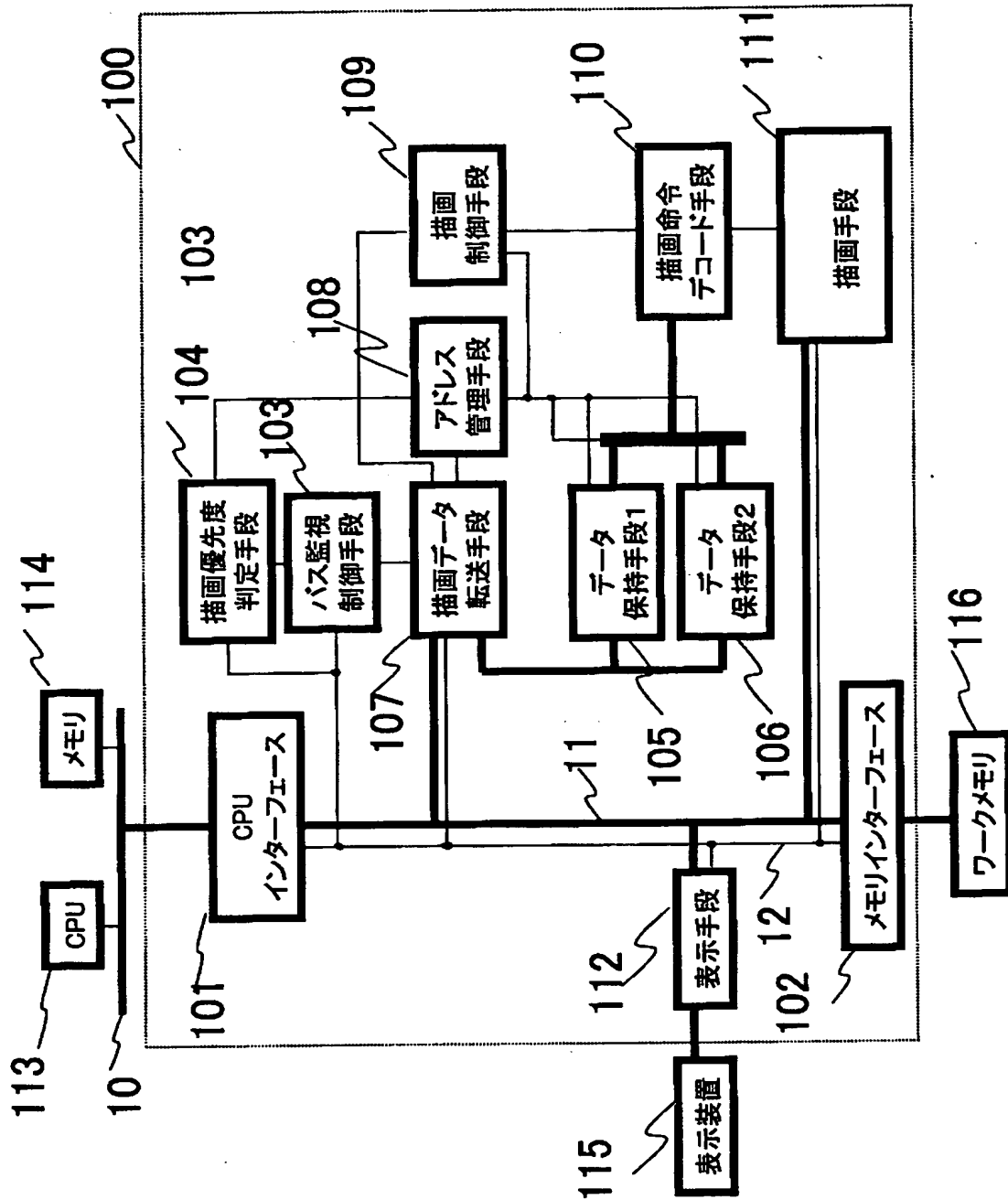
- 1 0 メインバス
- 1 1 データバス
- 1 2 制御線
- 1 0 0 描画プロセッサ
- 1 0 1 CPUインターフェース
- 1 0 2 メモリインターフェース
- 1 0 3 バス監視制御手段
- 1 0 4 描画優先度判定手段
- 1 0 5 第 1 のデータ保持手段
- 1 0 6 第 2 のデータ保持手段
- 1 0 7 描画データ転送手段
- 1 0 8 アドレス管理手段
- 1 0 9 描画制御手段
- 1 1 0 描画命令デコード手段

- 1 1 1 描画手段
- 1 1 2 表示手段
- 1 1 3 CPU
- 1 1 4 メモリ
- 1 1 5 表示装置
- 1 1 6 ワークメモリ
- 1 2 0 優先度設定レジスタ
- 1 2 1 優先度比較手段
- 1 3 1 第1のチェックアドレス保持レジスタ
- 1 3 2 第2のチェックアドレス保持レジスタ
- 1 3 3 領域設定レジスタ
- 1 3 4 セレクタ
- 1 3 5 比較手段
- 1 3 6 データ転送制御手段
- 1 3 7 データ転送領域設定手段
- 1 3 8 割りこみ信号
- 1 4 0 第1のチェックアドレス
- 1 4 1 第2のチェックアドレス
- 1 4 2 データ充填シーケンス
- 1 4 3 データ使用シーケンス
- 1 4 4 データ充填シーケンス
- 1 4 5 データ使用シーケンス
- 1 4 6 データ充填シーケンス
- 1 5 0 描画命令
- 1 6 0 プリデコード手段
- 1 6 1 処理量判定手段
- 1 7 0 メモリインターフェース
- 2 0 第1のデータバス
- 2 1 第2のデータバス

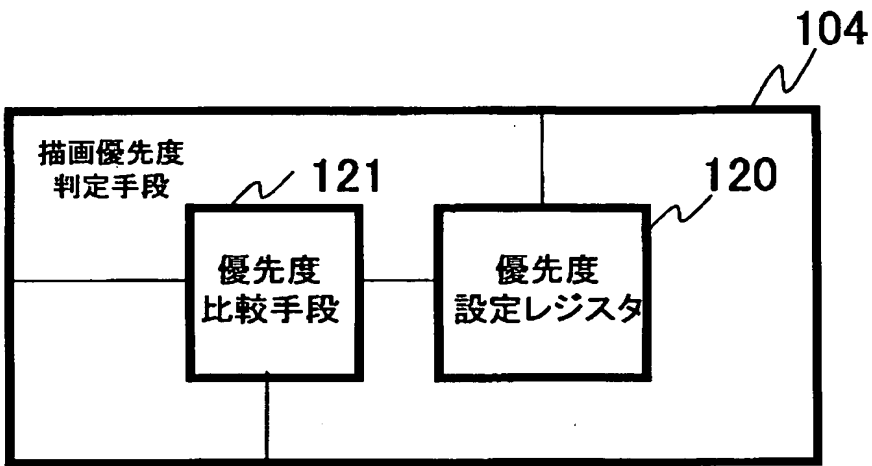
1000	CPU
1001	メモリ
1002	CPUインターフェース
1003	FIFOメモリ
1004	描画命令デコード手段
1005	描画制御手段
1006	描画手段
1007	ワークメモリ
1008	表示手段
1009	表示装置
1010	メモリインターフェース
1100	連続直線描画例
1110	連続直線の描画の描画命令
1111	任意頂点の多角形描画例
1112	任意頂点の多角形描画の描画命令

【書類名】 図面

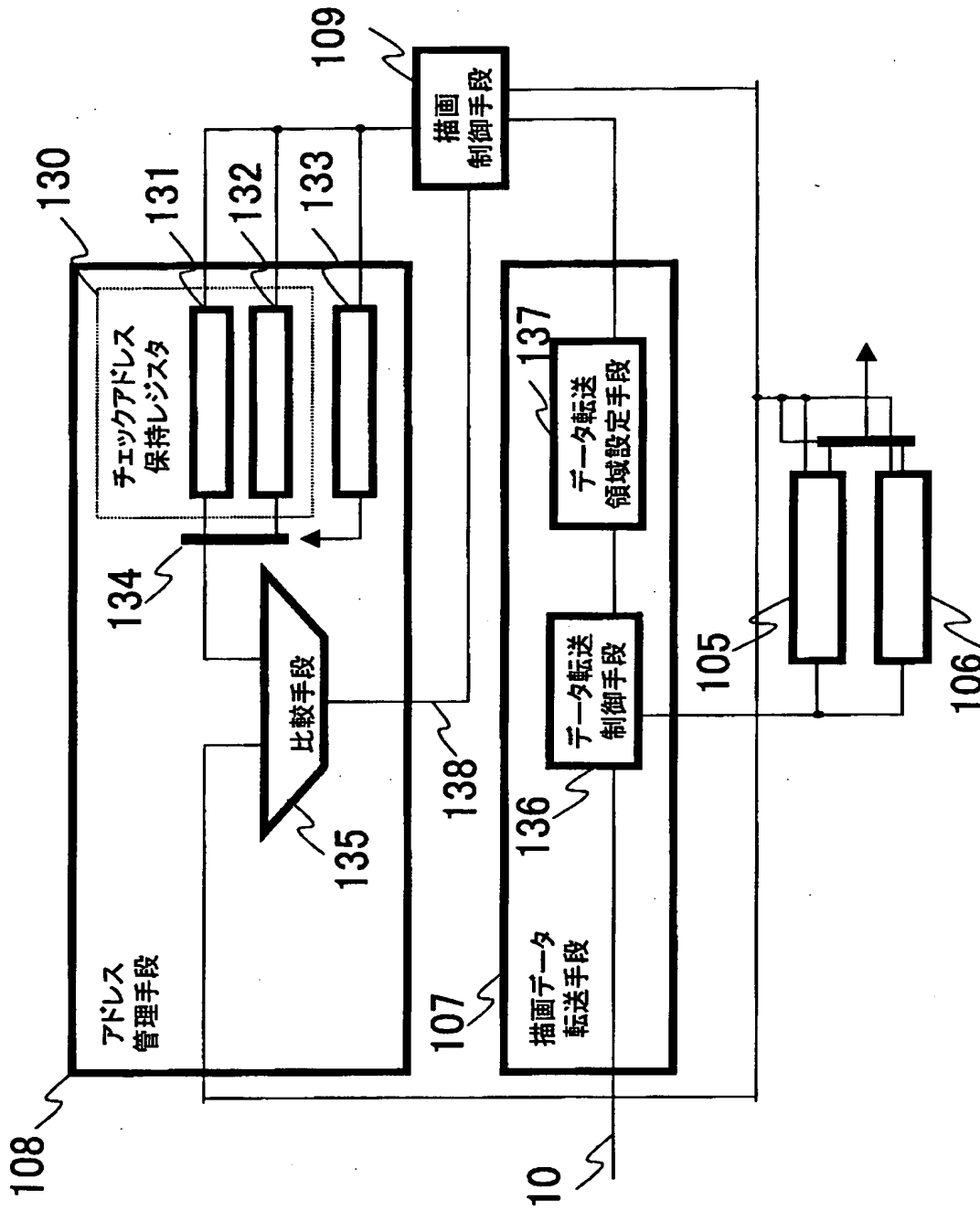
【図 1】



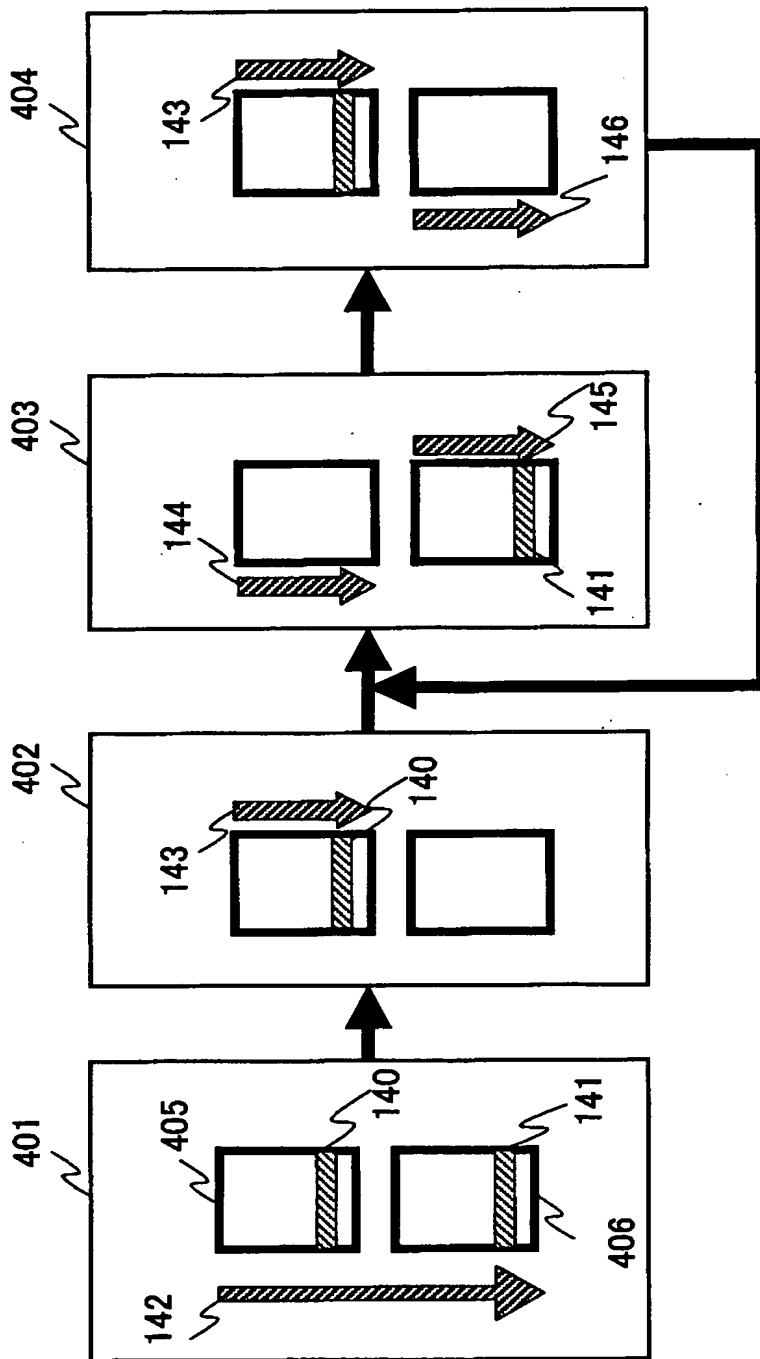
【図 2】



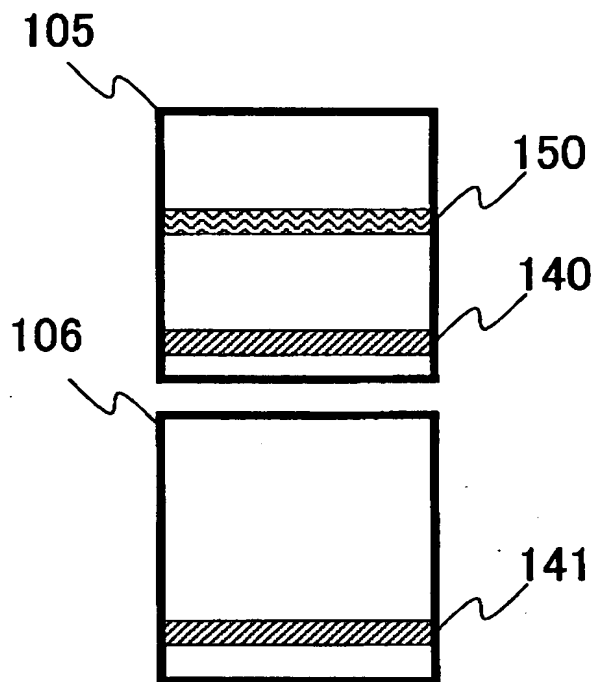
【図 3】



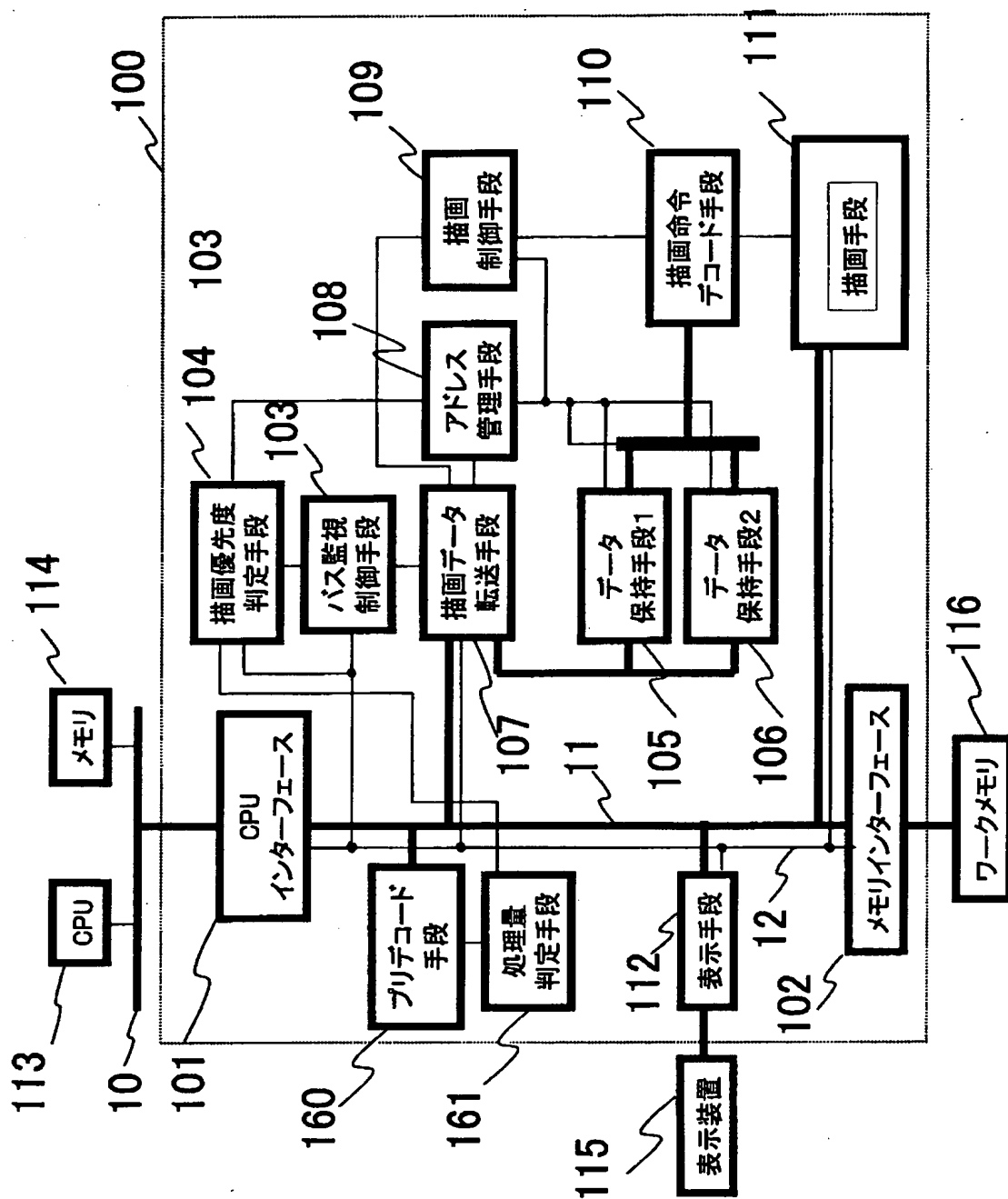
【図 4】



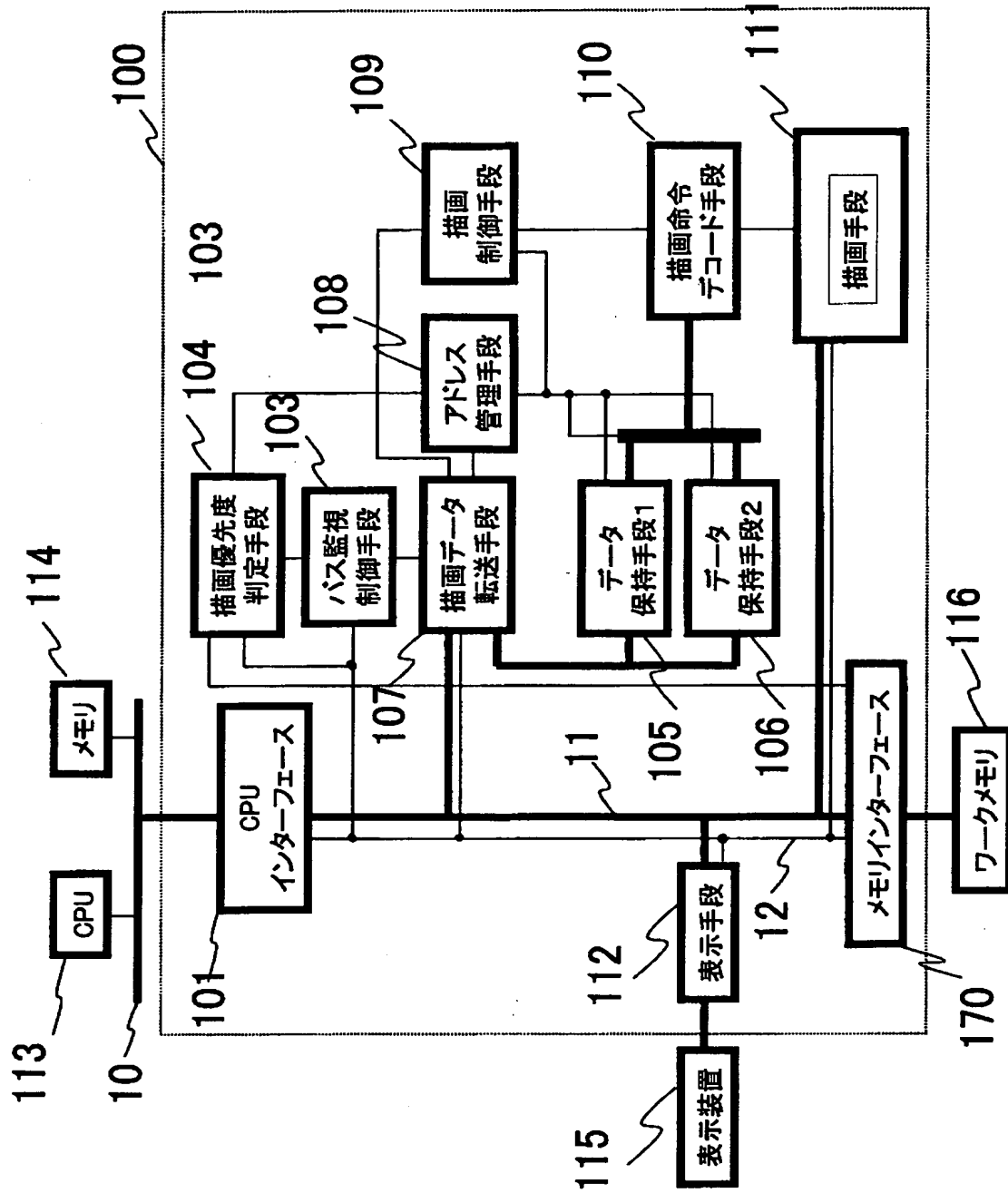
【図 5】



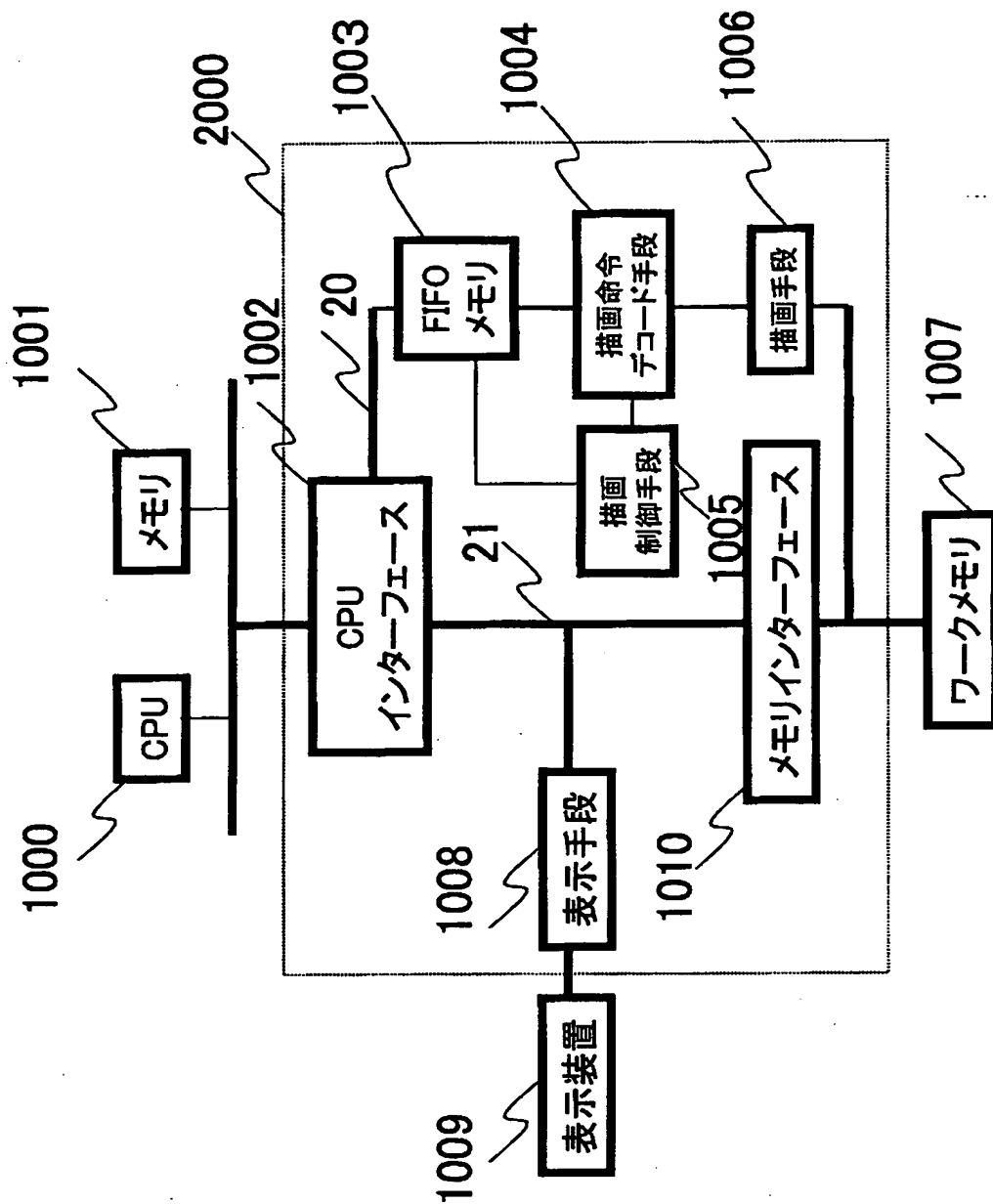
【圖 6】



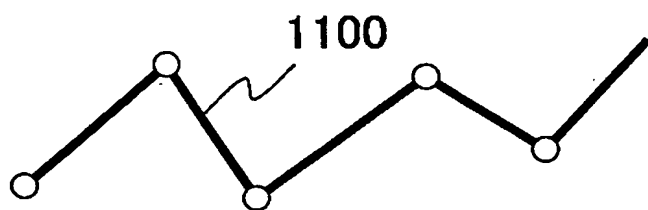
【図 7】



【図8】



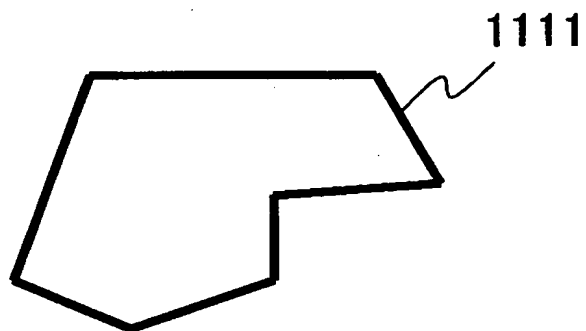
【図9】



【図 1 0】

							1110
line	個数	(X1,Y1)	(X2,Y2)				(Xn,Yn)

【図 1 1】



【図 1 2】

							1112
polygon	個数	(X1,Y1)	(X2,Y2)				(Xn,Yn)

【図 13】

優先度	データ転送優先度種別
1	表示データ供給
2	描画命令供給
3	テクスチャデータ供給
4	ホストデータ供給

【書類名】 要約書

【要約】

【課題】 CPUに負担をかけずさらに、ユニファイドメモリ構造に対応のデータバス構造であっても可変長の描画命令を自主的に管理供給する

【解決手段】 描画全体の制御を実行する描画制御手段と、
描画命令を解読する描画命令デコード手段と、
描画命令デコード手段で解読されたデータを元に描画命令を実行する描画手段と、
描画データを表示形式に変換して表示装置に出力する表示手段と、
データバスの使用状況を監視するバス監視制御手段と、
描画命令を保持する少なくとも2つ以上のデータ保持手段と、
描画制御手段がデータ保持手段にデータアクセスするためのアドレスを監視するアドレス管理手段と、
予め定めたデータバスを使用する装置優先度と描画命令優先度を比較演算する描画優先度判定手段と、
データバスの使用状態を監視して使用権を要求するバス監視制御手段と、
を備えるようにしたものである。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社